



## 14- разрядный быстродействующий цифро-аналоговый преобразователь

### ОСОБЕННОСТИ

- 200 МГц частота тактирования
- Время установления выходного тока 2,5 нс с точностью 0,1%
- Высокая стойкость к специальным видам воздействия
- LVDS входной интерфейс
- Дифференциальный масштабируемый токовый выход: 2мА - 20 мА
- Внутренний источник опорного напряжения 1,2В
- Одно питание 3,3 В±10%
- Низкое потребление 360 мВт (тип.), независимое от частоты тактирования
- Частота умножения 100 МГц
- Корпус Н14.42-1В

### ПРИМЕНЕНИЯ

- Широкополосные каналы связи
- Базовые станции
- Беспроводные местные сети
- Цифровые радио линки
- Прямой цифровой синтез (DDS)
- Средства измерения и контроля

### ОПИСАНИЕ ИЗДЕЛИЯ

1108ПА4—быстродействующий цифро-аналоговый преобразователь (ЦАП) с разрешением 14 разрядов. 1108ПА4 спроектирован для высокоскоростных цифровых проводных и беспроводных систем систем связи, прямого цифрового синтеза высокочастотных сигналов, восстановления формы сигнала.

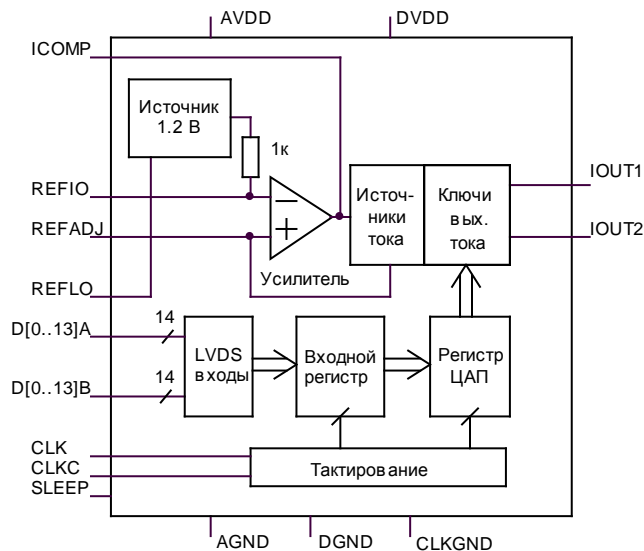
1108ПА4 работает от одного источника питания 3,3 В. Мощность рассеивания – 360 мВт во всем диапазоне частот тактирования. 1108ПА4 обеспечивает номинальный выходной ток 20 мА, позволяет работать и с одиночным и с дифференциальным выходом. Выходной ток может непосредственно питать выходную нагрузку 50 Ом, поэтому не требуется дополнительных выходных повторителей. Выходная нагрузка подключена к аналоговой земле. Допустимый диапазон выходного напряжения от – 0,3 В до 1,25 В. Изменяя внешний резистор, задающий ток полной шкалы, потребитель может изменять выходной ток от 20 мА до 2 мА. Наличие входа опорного напряжения позволяет использовать внешний источник опорного напряжения или управлять ЦАП в режиме умножения с частотой единичного усиления 100 МГц.

Для высокой скорости приема входного сигнала 1108ПА4 использует интерфейс низковольтного дифференциального сигнала (low voltage differential signaling - LVDS). Особенность LVDS - малый размах сигнала и независимость тока потребления от частоты сигнала, обеспечивающих при высокоскоростной передаче данных низкий уровень шума в сочетании с низким уровнем электромагнитного излучения (EMI). Интерфейс 1108ПА4 соответствует рекомендациям на LVDS без внутреннего гистерезиса. Резисторы нагрузки LVDS – 100 Ом расположены на кристалле.

Запись информации в регистры происходит по переднему фронту сигнала тактирования CLK. Входы CLK, CLKC – совместимы с LVDS. Внутренний резистивный делитель на входах CLK, CLKC устанавливает смещение около 1,1 В, поэтому источник тактовой частоты может быть подключен ко входу с развязкой по постоянному току

Особенностью 1108ПА4 является наличие состояния ожидания (SLEEP), в котором уменьшается потребляемая мощность (отключается все, кроме схемы тактирования). Переход в это состояние происходит при подключении вывода SLEEP к логической "1". При подключении к "0" или обрыве вывод SLEEP пассивен.

### Функциональная схема





Информация предварительная

**МАКСИМАЛЬНО-ДОПУСТИМЫЕ ЗНАЧЕНИЯ ПАРАМЕТРОВ**

ПАРАМЕТР	1108ПА4	ЕД.
Напряжение питания	3 ÷ 5,5	В
Температура пайки вывода 1,6 мм от корпуса, 10 сек.	+260	°С
Тепловое сопротивление корпуса	20	°С/Вт

**ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ ПРИ ПРИЁМКЕ И ПОСТАВКЕ**

Параметры нормируются в диапазоне  $T_{MIN}=0^{\circ}C$  до  $T_{MAX}=+70^{\circ}C$  при свободном обтекании воздуха,  $AV_{DD}=3,3В$ ,  $DV_{DD}=3,3В$ ,  $I_{O(FS)}=20 mA$ , выходы нагружены на резисторы 50 Ом, если другое не оговорено.

Наименование параметра	Буквенное обозначение	Режим измерения	Норма		Единица измерения	
			не менее	не более		
<b>СТАТИЧЕСКИЕ ПАРАМЕТРЫ</b>						
Разрешение			14		Бит	
Статическая точность						
Интегральная нелинейность	INL	от $T_{MIN}$ до $T_{MAX}$	A	-4	4	МЗР
			B	-16	16	МЗР
			B	-64	64	МЗР
Дифференциальная нелинейность	DNL	от $T_{MIN}$ до $T_{MAX}$	A	-2	2	МЗР
			B	-8	8	МЗР
			B	-32	32	МЗР
<b>Токовый выход</b>						
Смещение				1)	%ПШ	
Погрешность преобразования в конечной точке шкалы, $R_{BIAS}=1k\Omega + 0,1\%$		Без внутреннего источника опорного напряжения	-1	1	% ПШ	
		С внутренним источником опорного напряжения	-5	5	% ПШ	
Выходное сопротивление			0,8	1,2	кОм	
<b>Источник опорного напряжения</b>						
Выходное напряжение источника	$V_{REFIO}$		1,14 <sup>1)</sup>	1,25 <sup>1)</sup>	В	
<b>Вход опорного напряжения</b>						
Малосигнальная полоса частот			100 <sup>1)</sup>		МГц	
<b>Питание</b>						
Напряжение питания	$V_{DD}$		3	3,6	В	
Ток потребления	$I_{CC}$	$V_{DD}$ = от 3 В до 3,6 В	75	120	мА	
Ток потребления в режиме SLEEP	$I_{CC(SLEEP)}$			1)	мА	
Коэффициент влияния напряжения питания на выходной ток	PSRR	$DV_{DD}$ =от 3В до3,6 В, $AV_{DD}$ =от 3В до3,6 В	-0,5 <sup>1)</sup>	0,5 <sup>1)</sup>	%ПШ / В	
<b>ДИНАМИЧЕСКИЕ ПАРАМЕТРЫ</b>						
<b>Аналоговый выход</b>						
Частота записи	$f_{CLK}$		200 <sup>1)</sup>		МГц	
Коэффициент нелинейных искажений <sup>2)</sup>	THD	фракт = 25 МГц, $f_{out} = 1$ МГц, $U_{out}$ =0дБПШ	(A)74 <sup>1)</sup> (B)62 <sup>1)</sup> (B)50 <sup>1)</sup>		дБ	
Время установления с точностью 1% <sup>2)</sup>	$t_{S(DAC)}$	Переключение между кодами 00..0 и 11..1		5 <sup>1)</sup>	нс	
Задержка выхода	$t_{PD}$			1)	нс	

Окончание таблицы



Информация предварительная

ЦИФРОВЫЕ ПАРАМЕТРЫ					
<b>LVDS входы: D[0..13]A, D[0..13]B</b>					
Дифференциальный входной сигнал LVDS	$V_{ITN}$	$V_{CMB}=1,2B^{1)}$	200	1)	мВ
Входное сопротивление между прямым (А) и инверсным входом (В)	$Z_t$		80	120	Ом
<b>Вход SLEEP</b>					
Входное напряжение высокого уровня	$V_{IH}$		2		В
Входное напряжение низкого уровня	$V_{IL}$			0,8	В
<b>Входы тактирования CLK,CLKC</b>					
Дифференциальный входной сигнал	$ CLK-CLKC $		200		мВ <sub>п-п</sub>
Синфазное напряжение при тактировании через трансформатор	$V_{INCLK}$			1)	В
Дифференциальное входное сопротивление			1)		кОм
<b>Временные параметры</b>					
Время опережения установки информации по входам D	$t_{su}$		1)		нс
Время удержания информации по входам D	$t_h$		1)		нс
Тактовая задержка	$t_{DD}$			1)	такт
Задержка распространения	$t_{PD}$			1)	нс
Примечания: 1 Значение уточняется в процессе ОКР. 2 Выбор параметра для оценки динамических параметров уточняется в процессе ОКР.					

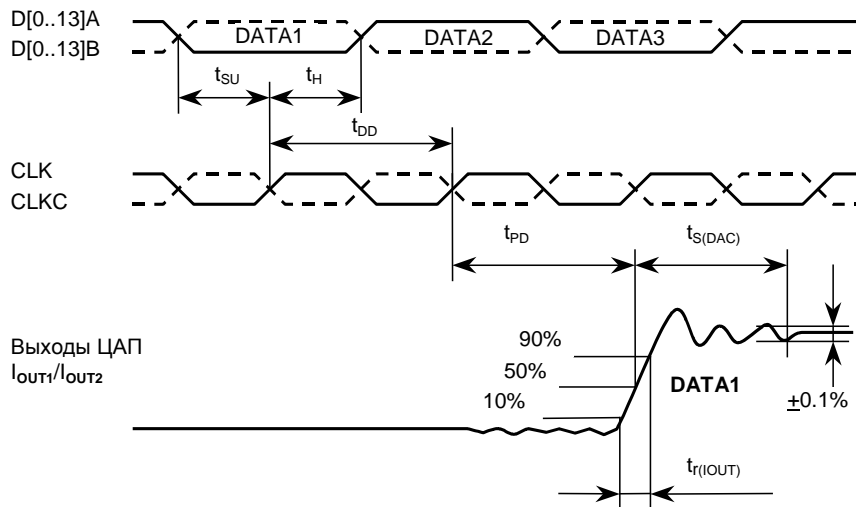


Рис.1. Временная диаграмма

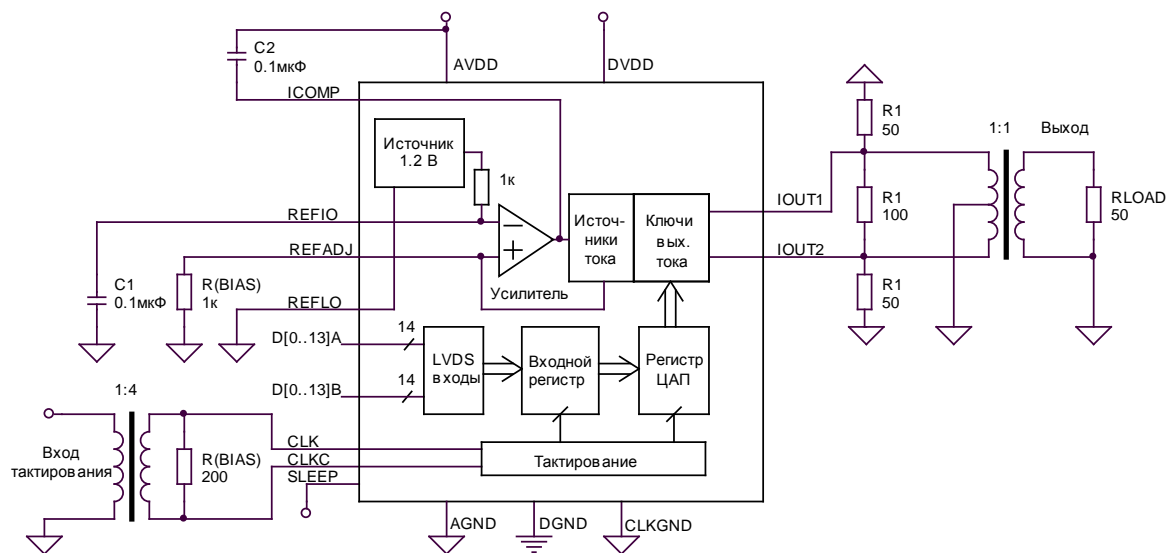


Рис. 2. Схема включения

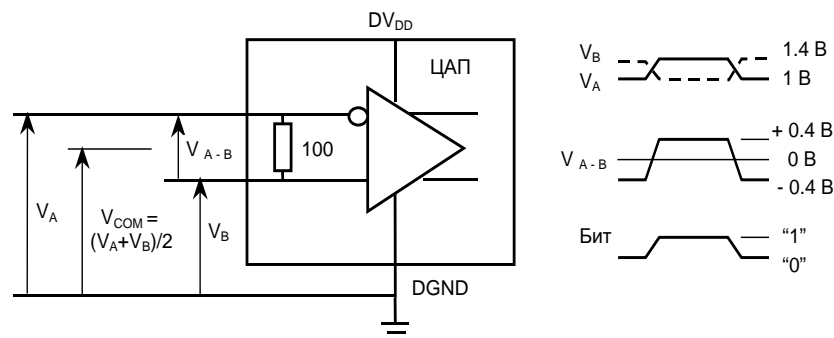


Рис 3. Временная диаграмма и логические уровни LVDS